

6. Speicher

6.1. Übersicht

- Informationsspeicher sind eine entscheidende Grundlage für Informationstechnik, sie haben die Aufgabe, Daten und Programme schnell und effektiv zur Verfügung zu stellen.
- Ihre technischen und ökonomischen Parameter begrenzen die Leistungsparameter der informationstechnischen Geräte (Computer, Massenspeicher, Drucker)
- Deshalb werden immer neue Speicherprinzipien entwickelt und auf ihre technische Verwendbarkeit hin untersucht.

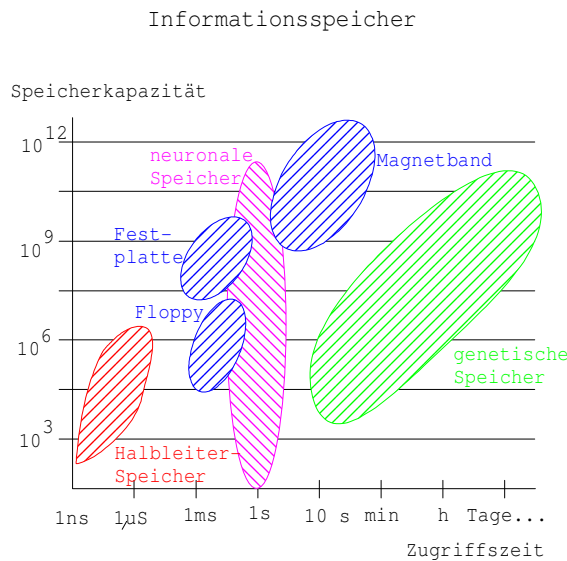


Bild 1: Speicherkapazität und Zugriffszeit einiger Informationsspeicher

Die Grafik enthält Informationsspeicher im weiteren Sinne, so auch neuronale Speicher (niedere Tiere unten, Mensch oben) und genetische Speicher (Viren, Bakterien links, Säugetiere rechts oben). *Quelle: Völz, Informatik*

6.1.1 Anforderungen eines Rechners an ein Speichermedium

typ. Zugriffszeit eines Rechner-Hauptspeichers (dynamischer RAM):

50 ns/Byte

typ. Zugriffszeit eines Rechner-Hauptspeichers (statischer RAM):

10 ns/Byte

typ. Zugriffszeit einer Festplatte:

Datenlesegeschwindigkeit

10 MByte/s -> 100 ns/Byte

Spurwechselzeit 1 ms

Spurzugriffszeit 10 ms

typ. Zugriffszeit einer Diskette:

Datenlesegeschwindigkeit

30 kByte/s -> 30 μ s

Spurwechselzeit 30 ms

Spurzugriffszeit 0,3 s

Halbleiterspeicher

speichern:

- Strom

rückgekoppelte Systeme
(Flipflop-Schaltungen mit Transistoren)

- Spannung

rückgekoppelte Systeme
(Flipflop-Schaltungen mit Feldeffekt-Transistoren)

- Ladung

Kondensator

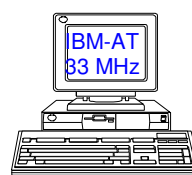
- Widerstand

Schmelzsicherungen (Fuse, Antifuse)

in Abhängigkeit von der Zeit:

- ständig

statische Speicher



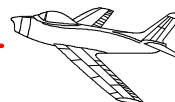
1 Buszyklus 80486 (33 MHz)
= 2 Takte
= 60 ns

= Zeit für eine
16-bit-Addition

z.B. 32767
+32767
=65534

zum Vergleich:

330 m/s



H
0,020 mm

- kurzzeitig (ms .. s) **dynamische** Speicher

und von der Stromversorgung:

- abhängig **flüchtige** Speicher
 - unabhängig **nichtflüchtige** Speicher

mit der Zugriffsart:

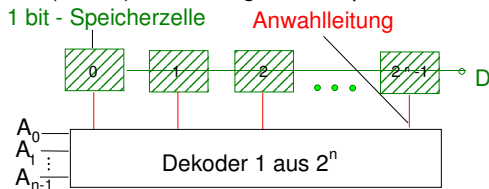
- **direkt** jedes (feststehende) Speicherelement kann gleichermaßen und unabhängig ausgewählt werden
 - **wahlfrei** gleichberechtigte Auswahl einer Speicherzelle (Bit) oder eines Speicherwortes (meist Byte)
 - **seriell** Information läuft linear oder zyklisch an feststehenden Ein- Ausgabetermen vorbei (z.B. Schieberegister)
 - **inhaltsadressiert** Zugriff erfolgt über ein Suchwort, welches mit den Daten assoziiert ist

6.1.2 Kenngrößen von Speichern

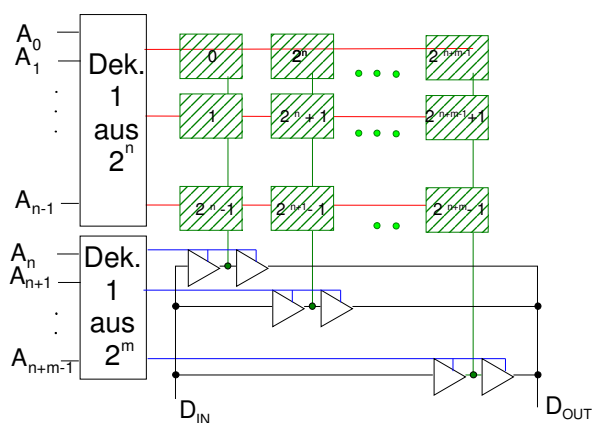
- **Speicherkapazität:**
 eine Speicherzelle (Flipflop, Kondensator, Widerstand) speichert eine binäre Information (0/1), also 1 bit
 1 024 Zellen -> 1 Kbit (2^{10} bit)
 1 048 576 Zellen -> 1 Mbit (2^{20} bit)
- **Zugriffszeit**
 Zeitspanne zwischen Speicheraufruf (Adressierung) und Bereitstellung des Speicherinhaltes (Lesevorgang) bzw. Übernahme der Speicherinformation (Schreibvorgang)
- **technische Parameter:**
 Leistungsverbrauch, Kosten, Alterung, Zuverlässigkeit, Anforderungen an die Stromversorgung usw.

6.1.3 Speicherorganisation

lineare (1-dim.) Anordnung von 2^n Speicherzellen



Matrix- (2-dim.) Anordnung (alternative Anordnung)



Matrix- (2-dim.) Anordnung von 2^{n+m} Speicherzellen

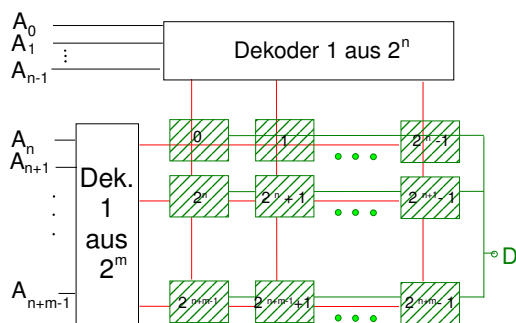


Bild 2: Anordnung von Speicherzellen

6.1.4 Schreib-Lesespeicher

Ablegen, Aufbewahren und Lesen der Information ist beliebig oft möglich, die vorige Information wird beim Schreibvorgang gelöscht (überschrieben)

- Matrixspeicher:
RAM (random access memory): Speicher mit wahlfreiem Zugriff
- Serielle Speicher:
CCD (charge coupled devices): Speicher auf der Basis von Ladungsverschiebungen
- Inhaltsadressierte Speicher:
CAM (content addressable memory): Speicher mit Zugriff über ein Suchwort, welches mit den Daten assoziiert ist

6.1.5 Festwertspeicher

speichern Informationen, die nur einmal abgelegt und nicht wieder verändert werden.

- ROM (read only memory): nur-Lese-Speicher, i.A. bei der Herstellung programmiert (Maskenschritte)
- PROM (programmable ROM): vom Anwender einmalig programmierbarer Festwertspeicher (Programmiergerät)
- EPROM (erasable PROM): komplett löschbarer Festwertspeicher (UV-Licht)
- Flash-EPROM: komplett oder blockweise elektrisch löschbarer Festwertspeicher
- EEPROM (electrical EPROM): bit- oder byteweise elektrisch löschbarer Festwertspeicher

6.2. Aufbau von Halbleiterspeichern

6.1.1 statische Speicherzellen

Ist der Informationsträger der Strom oder die Spannung, so muss durch Rückkopplung unter Energieaufnahme der Strom oder die Spannung aufrechterhalten werden. Ein geeignetes Prinzip sind Flip-Flop Schaltungen:

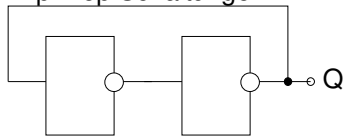


Bild 3: Flipflop-Grundstruktur

Schaltungstechnisch lassen diese sich durch Gatter (NAND oder NOR) realisieren, eine kompaktere Anordnung ergibt sich durch Nutzung von Feldeffekttransistoren als Negator bzw. Schalter:

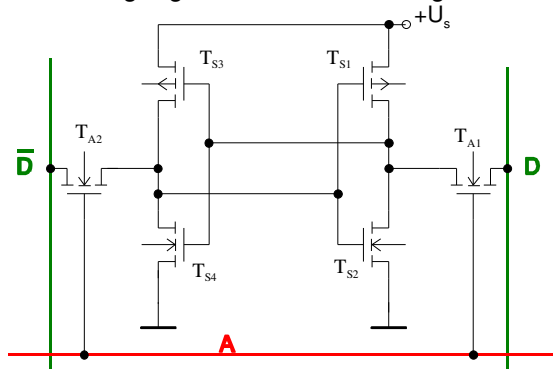


Bild 4: statische RAM- Speicherzelle

- A Adressleitung
- D Datensammelleitung
- T_A Anwahltransistoren
- T_s Speichertransistoren (CMOS-Flipflop)

Der Zustand des FF ($T_{s1..4}$) kann über die beiden Anwahltransistoren T_A auf den Datensammelleitungen D und \bar{D} unmittelbar gelesen oder verändert werden. Die Zugriffszeiten auf die Speicherzellen sind sehr kurz (ns-Bereich). In CMOS-Technologie lassen sich sehr energiearme Speicherzustände erreichen, mit Hilfe von Batterien (z.B. Lithiumzellen) lassen sich auch lange Speicherzeiten für statische CMOS-Zellen realisieren. (ca. 10 Jahre).

dynamische Speicherzellen

In dynamischen Speicherzellen wird die Ladung eines Kondensators als Informationsträger genutzt.

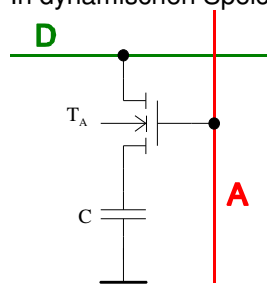


Bild 5: dynamische RAM-Speicherzelle

Beim Lesevorgang wird die Ladung durch das Schalten auf die kapazitätsbehaftete Datensammelleitung D zerstörend ausgewertet. Beim Speichern tritt bedingt durch den endlichen Ausschaltwiderstand (R_{off} – Widerstand) des Anwahltransistors eine Entladung des Speicherkondensators im Zeitraum ms ... s auf.

Lösung: Die Ladung muss regelmäßig aufgefrischt werden (Refresh) und nach dem Lesen neu eingeschrieben werden.

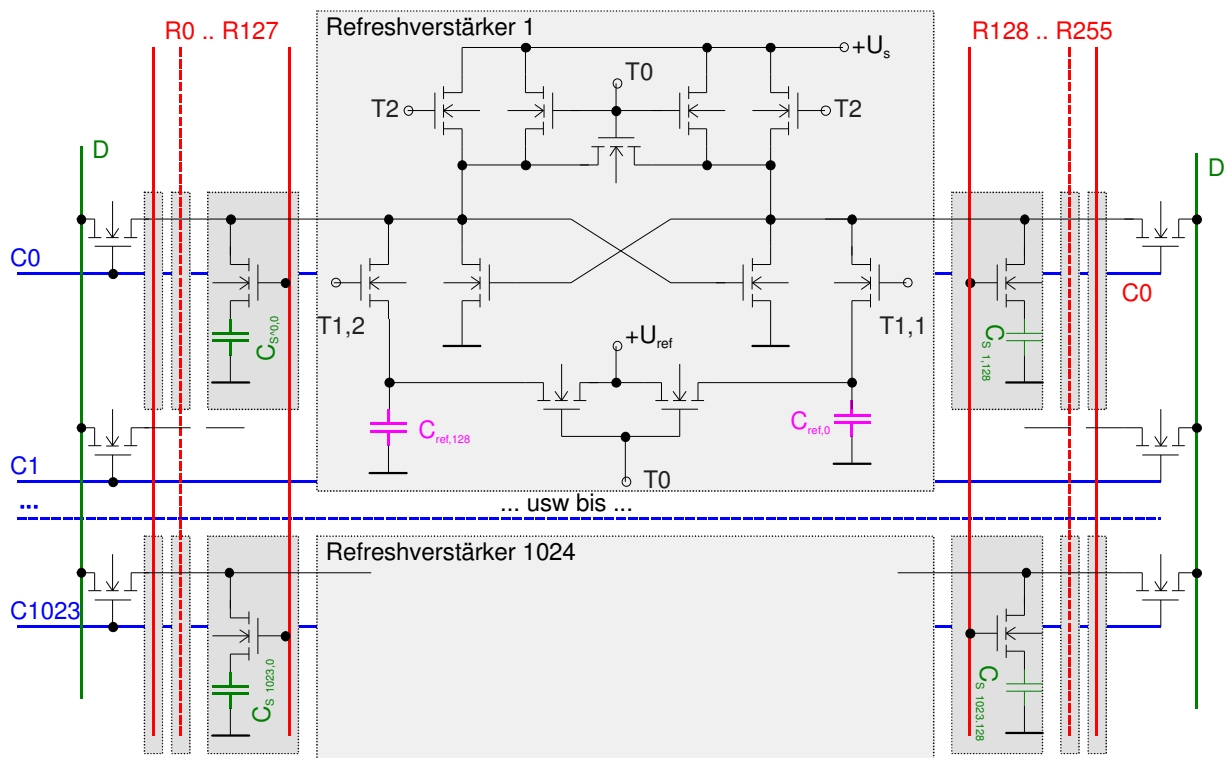


Bild 7: Refreshverstärker für 128 Speicherzellen

Ein Refreshvorgang beruht auf dem Ladungsvergleich zwischen dem Speicherkondensator C_S und einem auf eine Vergleichsspannung U_{ref} aufgeladenen Referenzkondensator C_{ref} .

Im einzelnen laufen folgende Vorgänge ab:

- T0 *Vorbereitungsphase:* Neutralisieren des Refresh-Verstärkers (Flipflop-Struktur)
Aufladen des Referenzkondensators mit $U_{ref} = 1/2 U_S$
- T1 *Vergleichsphase:* Eine R (Row) -Anwahlleitung wird aktiviert, die beiden ausgewählten Speicher- und Referenzkondensatoren werden an den Refreshverstärker angeschlossen, das Flipflop wird in Abhängigkeit der Ladungsmengen asymmetrisch voreingestellt.
- T2 *Aktive Refresh-Phase:* Die Lasttransistoren des Refreshverstärkers werden zugeschaltet, das Flipflop kippt vollständig in die voreingestellte Lage um, dabei werden Referenzkondensator und Refreshkondensator ge- bzw. entladen. Aus der Symmetrie der Anordnung ergibt sich die Möglichkeit, je nach

Anlegen der Takte T1.1. oder T1.2 links- und rechtsseitig liegende
Speicherkondensatoren $C_{s1,1}$ bzw. $C_{s1,2}$ zu nutzen.

Unmittelbar nach dem Refreshvorgang kann durch Aktivierung einer C (Column) Anwahlleitung eine Zelle gelesen oder beschrieben werden.

Aus der Symmetrie der Anordnung ergibt sich die Möglichkeit, je nach Anlegen der Takte T1.1. oder T1.2 links- und rechtsseitig liegende Speicherkondensatoren zu nutzen.

Architektur von Halbleiterspeichern

Statische RAM's werden heute vorwiegend in CMOS-Technologie. Nur für besonders schnelle Anwendungen (Speicher in Digitaloszilloskopen, Logikanalysatoren) wird ECL-Technologie genutzt. Sie sind meist byte-organisiert, d.h. erlauben parallele 8-bit-Schreib/Lesezugriffe.

Als Beispiel dient der 8 k x 8 Bit-CMOS RAM MB 8464. Ähnlichen Aufbau besitzen höherintegrierte Typen, z.B. 1M x 8 bit.

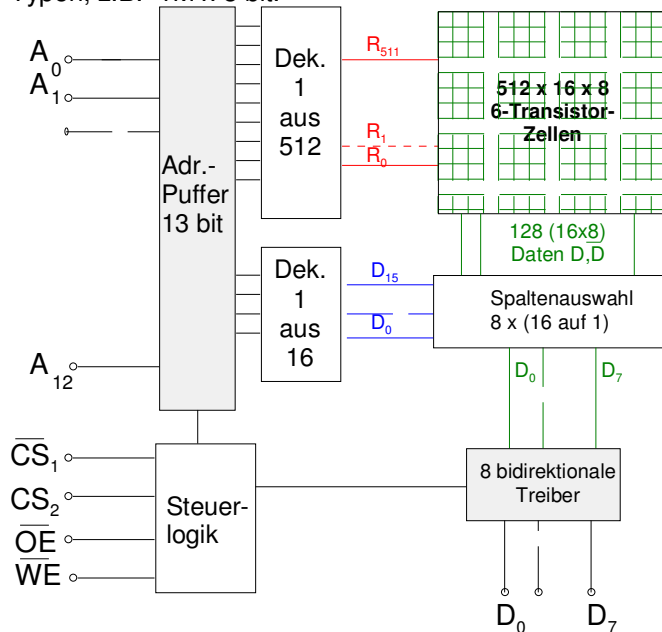
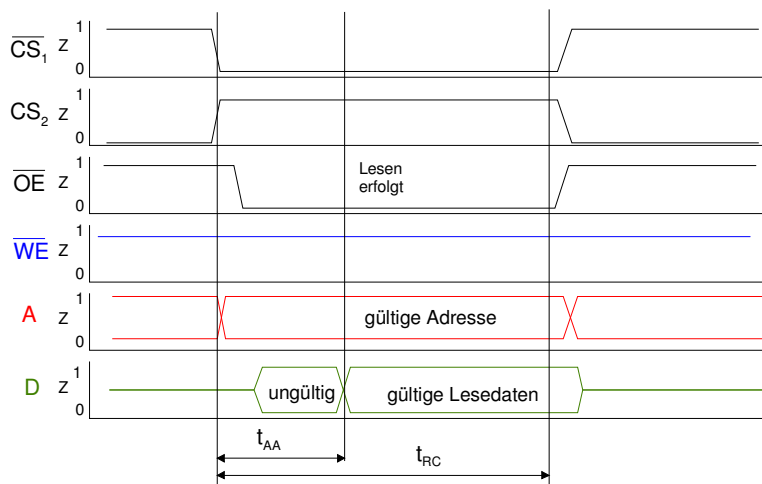


Bild 8: Blockschaltbild eines 8k x 8 bit statischen CMOS Speichers MB8464

$2^{13} = 8192$ Bytes Speicherkapazität = 65536 Speicherzellen

Wesentliche Kenngrößen sind neben der Speicherkapazität die Zugriffszeiten, insbesondere Lesezugriffszeit t_{AA} bzw. Schreibzeit t_{WL} bzw. die Zykluszeiten für ein wiederholtes Schreiben t_{RC} bzw. t_{WC} . Vor dem WE-Schreibsignal müssen die Adressen für eine Zeit t_{AS} anliegen (Setup-Zeit).



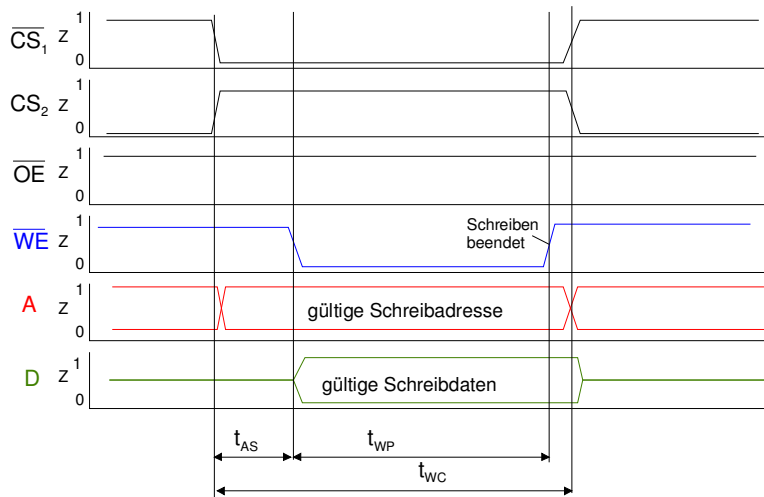


Bild 9: Lese- und Schreibzyklus eines statischen CMOS-RAM

Der geringe Ruhestrombedarf von statischen CMOS-RAM's ermöglicht den Datenerhalt durch Batteriepufferung, es werden Typen mit in das Gehäuse integrierter Lithiumzelle angeboten, die eine garantierte Lebensdauer von 10 Jahren besitzen.

Als Sonderform sind auch Kombinationen von Speicherstrukturen und Echtzeituhr möglich.

In der PC-Technik wird z.B. der MC 146818 als CMOS-RAM bezeichnet, beinhaltet aber sowohl eine Quarzuhr, welche die Uhrzeit direkt im BCD-Format auf mehrere Speicherstellen abbildet, als auch weitere 64 Byte Informationsspeicher für Systemeinstellungen, die nach Abschalten der Versorgungsspannung erhalten bleiben müssen.

Dynamische RAM's sind entweder bit-organisiert, als Beispiel sei der 64 k x 1 dyn. RAM TMS 4164 genannt, andere erlauben einen gleichzeitigen Zugriff auf 4, 8 oder 16 Bits.

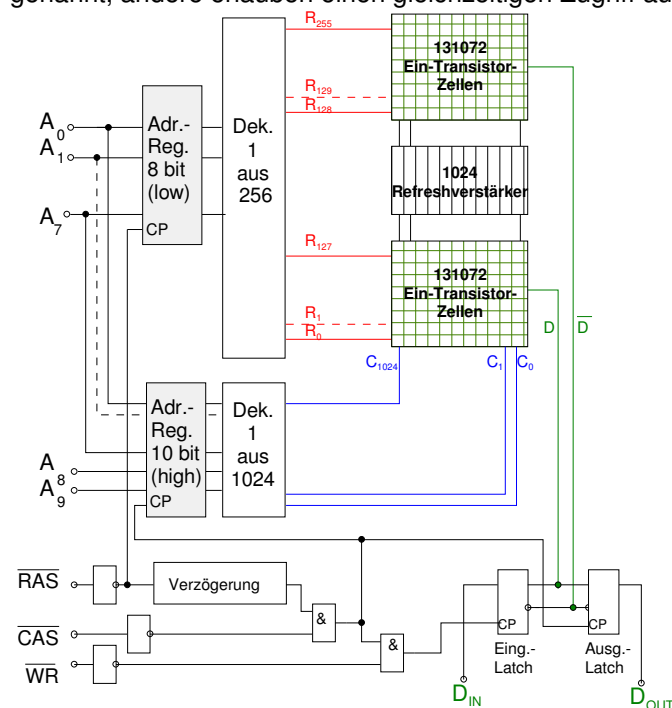


Bild 10: Architektur eines 64 k x 1 bit- dynamischen RAM-Speichers TMS 4164

Aus dem Refreshprinzip - parallele Lese/Schreiboperationen für eine gesamte Zeile (ROW) - ergibt sich die interne Verfügbarkeit aller Datenbits dieser Zeile. Erst mit der Spaltenauswahl (COLUMN) wird das entsprechende Bit selektiert.

Deshalb wird zunächst die Zeilenadressierung (RAS = *row address select*) und danach die Spaltenadressierung (CAS = *Column address select*) vorgenommen. Es ergibt sich damit die Möglichkeit, Zeilen- und Spaltenadresse zeitmultiplex über gemeinsame Adressleitungen zuzuführen.

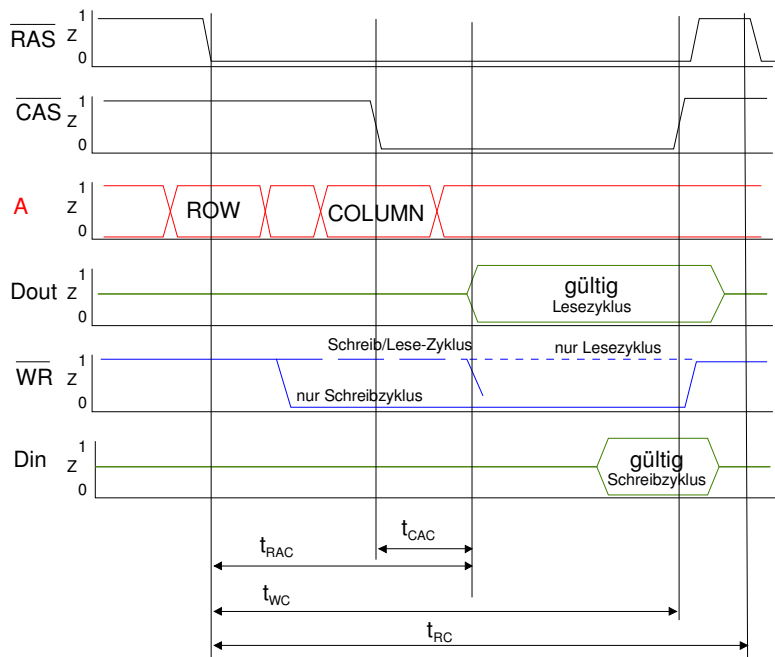


Bild 11: Taktdiagramm für einen Speicherzyklus eines dyn. RAM's

- t_{RAC} Zeit von RAS Aktivierung bis Datenbereitstellung
- t_{CAC} Zeit von CAS Aktivierung bis Datenbereitstellung
- t_{WC} Schreibzykluszeit (RAS bis Abschluß Schreiboperation)
- t_{RC} Lesezykluszeit (RAS bis RAS)

Bei allen Typen sind sowohl kombinierte Schreib-Lesezyklen (*read modify write*, *late write*) als auch schneller sequentieller Zugriff innerhalb einer Zeile (*fast-page-mode*) möglich. Einige RAM's besitzen weitere Adressierungsarten zur Steigerung der Zugriffsgeschwindigkeit:

nibble mode: Nutzung von insgesamt 4 unmittelbar aufeinanderfolgenden, intern inkrementierten Adressen (sog. Nibbles) durch kurze CAS-Impulse

static column

mode: mehrere Spalten-Adresswechsel werden ohne CAS-Signal erkannt

Die Nutzung solcher spezieller Adressierungen und die Organisation des Refresh-Vorganges stellen besondere Ansprüche an die Hardware zur Ansteuerung, es werden dazu meist anwenderspezifische Schaltkreise (ASIC's) oder konfigurierbare Spezialschaltkreise („Chipsatz“) eingesetzt.

In Verbindung mit leistungsfähigen Mikroprozessoren sind außerdem weitere geschwindigkeitssteigernde Maßnahmen möglich:

Interleave: abwechselnde Nutzung mehrerer Speicherbänke, die Verdopplung der Speicherbankanzahl erlaubt eine Halbierung der mittleren Zugriffszeit.

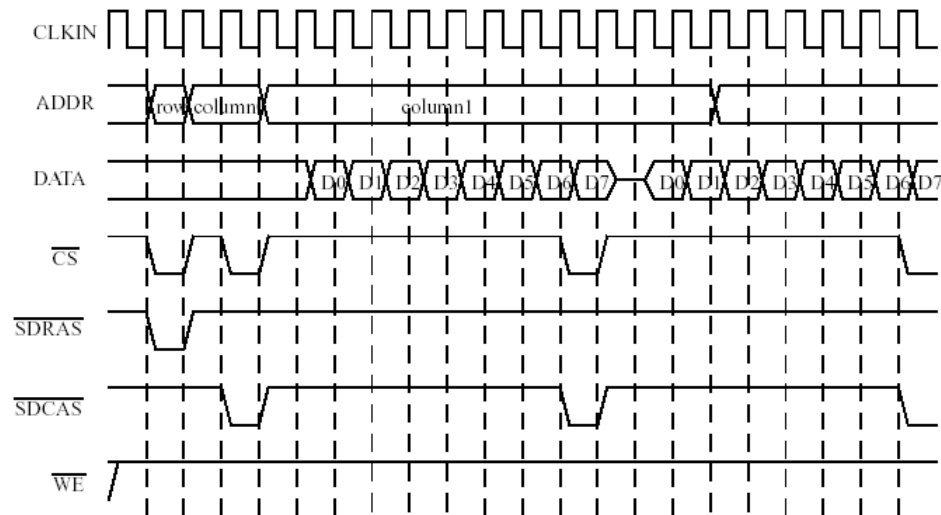
Pipelining: *Extended Data Out*, EDO: Während einer Datenleseoperation werden bereits neue Adressen angelegt, d.h. die Daten bleiben am Ausgang des Speichers bis zur nächsten Spaltenanwahl (CAS-Signal) erhalten.

Burst EDO: Blockübertragung mit internem Adresszähler, interner statischer Cache-Zwischenspeicher für eine Zeile

Synchronous DRAM (SDRAM) erlauben durch ihre taktsynchrone Arbeitsweise die konsequente Nutzung von chipinternen Pipeline- und Interleave-Techniken:

Pipelinezyklen: Adressierung, Dekodierung, Lese/Schreibzugriff und Datenausgabe in je einem Takt → konstante hohe Transferrate.

Interleave: doppelte (vierfache) interne Adressdekoeder und Speicherbänke mit wechselseitigem Zugriff → Verdopplung (Vervierfachung) der Transferrate.



DDR-RAM (Double-Data-Rate) SD-RAM mit Nutzung von beiden Taktflanken

RAMBUS Pipeline-RAM-Struktur mit geblockter Datenübertragung (Pakete)

Festwertspeicher

Festwertspeicher speichern Informationen, die einmal abgelegt, jedoch beliebig oft gelesen werden können. Sie nehmen eine Zwischenstellung zwischen Schreib/Lesespeichern und logischen Verknüpfungsschaltungen ein. In ihrer Organisation ähneln sie den Schreib/Lesespeichern, d.h. meist werden die Speicherzellen in einer Matrix angeordnet, Funktional entsprechen Sie programmierbaren kombinatorischen Schaltungen.

Man unterscheidet Festwertspeicher nach ihrer Programmierbarkeit in:

- ROM (Read Only Memory) maskenprogrammiert
- PROM (Programmable ROM) einmal elektrisch programmierbar
- EPROM (Electrical PROM) elektrisch programmierbar und UV-Löschbar
- Flash-EPROM (Electrical PROM) elektrisch programmierbar und global elektrisch löschar
- EEPROM (Electrical Erasable PROM) elektrisch programmierbar und byteweise elektrisch löschar

Die Speicherzellen von Festwertspeichern sind - bedingt durch den nur-lese-Zugriff einfach mit Dioden oder Transistoren bzw. in TTL-Technologie realisierbar:

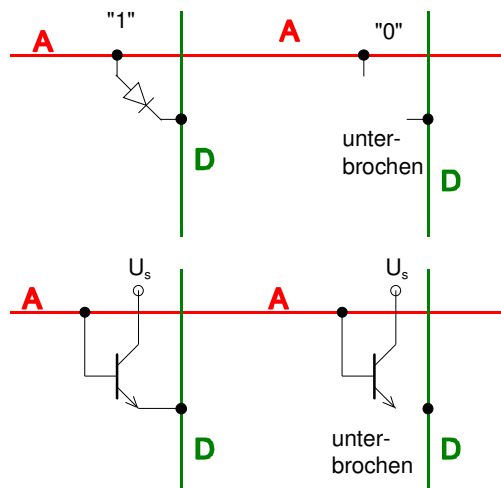


Bild14: Festwertspeicherzellen in Dioden- bzw. Bipolartechnologie

EPROM bzw. EEPROM-Strukturen basieren auf speziellen Feldeffekttransistorstrukturen. Zwischen Steuergate und Substrat befindet sich eine weitere vollständig von dünnem SiO₂ (50 nm) eingeschlossene Metallelektrode (floating-gate). Durch Ladungen auf diesem Gate wird die Schwellspannung des Transistors beeinflusst, somit ist eine Auswertung der Speicherinformation „Ladung“ möglich.

Die Aufladung des floating-gate erfolgt beim EPROM und Flash-EPROM durch hochbeschleunigte "heiße" Elektronen, welche die Gateoxid-Isolationsbarriere überwinden. Beim Auftreffen von UV-Strahlung werden in der Isolationsschicht Ladungsträger freigesetzt, die zu einer Entladung des Gates führen.

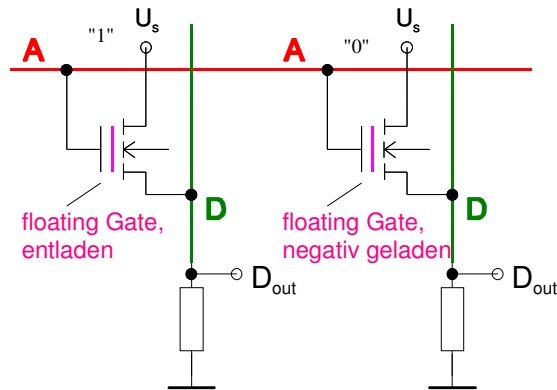


Bild 15 löschbare Festwertspeicher (EPROM)

	A	U _s	D=1	D=0
Lesen	5V	5V	5V	0
Schreiben	21V	21V	21V	0V

Flash-Speicher erlauben das elektrische Löschen mittels Tunneleffekt. Voraussetzung dafür ist eine sehr geringe Gate-Isolationsdicke (20 nm).

Im EEPROM erfolgt das Auf- und Entladen des floating-gates ebenfalls mittels Tunneleffekt durch Anlegen unterschiedlich gepolter Spannungen. Da zum bitweisen Löschen ein zusätzlicher Schalttransistor notwendig ist, erreichen sie nicht die hohe Integrationsdichte von EPROM's.

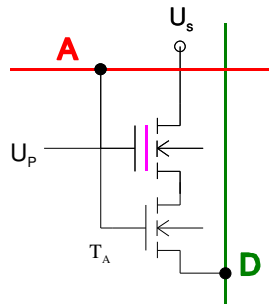


Bild 16 löschbare Festwertspeicher (EEPROM)

	U _p	A	U _s	D=1	D=0	
Lesen	5V	5V	5V	5V	0	
Schreiben	21V	21V	21V	21V	0V	(floating-gate wird bei D=0 negativ aufladen)
Löschen	0V	21V	21V	19V		(floating-gate wird entladen)

Eigenschaften von EPROM- und EEPROM Festwertspeichern:

- geringere Kapazitäten als statische oder dynamische Speicher
- lange Schreibzeiten (ca. 2 .. 20 ms)
- langsamerer Lesezugriff als bei Schreib-Lesespeichern (100 .. 200 ns)
- sehr lange Datenerhaltung (10 .. 20 Jahre)

Spezielle Speicherarchitekturen

Dual-Port-Speicher

Verdopplung der Dekoder, Lese- und Schreiblogik

→ gleichzeitiger Lese- und Schreibzugriff auf zwei Adressen A und B

→ Speicherzellen mit zwei Anwahl- und 2 (oder 4) Datenleitungen

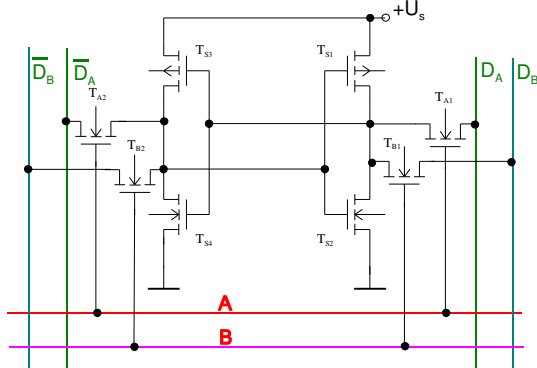


Bild 17: 8-Transistor-Dual-Port Speicherzelle

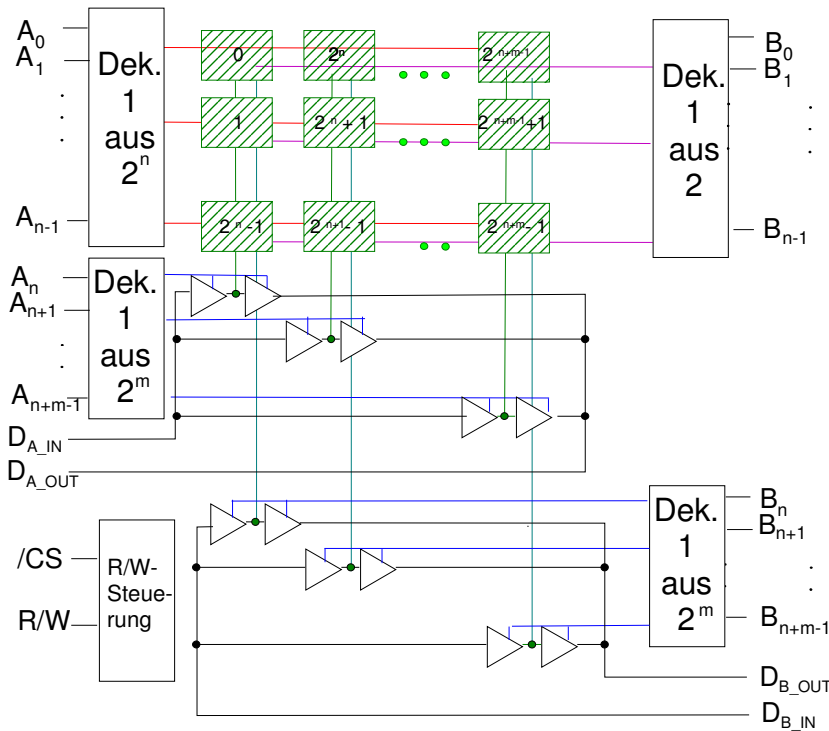


Bild 18: Dual-Port-Speicher

Stack-Speicher LIFO (Last In First Out)

Kombination von Speichern und Adresszähler

Anfangszustand: Adresszähler steht auf höchster Adresse 2^n-1

Schreiboperation: *Push* „ablegen“ der Information

Adresszähler dekrementieren (-1)

Leseoperation: *Pop* „aufnehmen“ der Information

Adresszähler inkrementieren (+1)

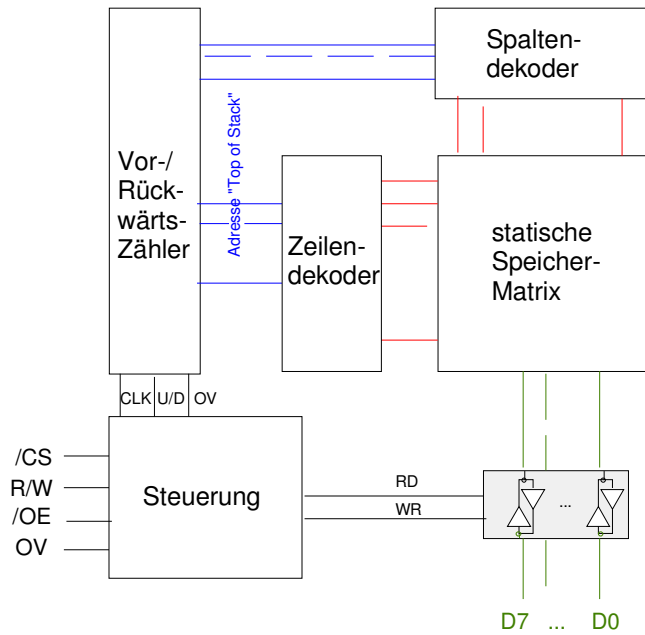


Bild 19 LIFO (Stack-) speicher

U/D: UP/Down Zählrichtung RD, WR: Tristate-Steuerung
 OV: Overflow (Zählerüberlauf)

Pufferspeicher FIFO (First In First Out)

1. Realisierung mit Schieberegistern (s. sequentielle Schaltungen)
2. Kombination von Speicher und zwei Adresszählern
3. Dual-Port-Speicher mit zwei Adresszählern

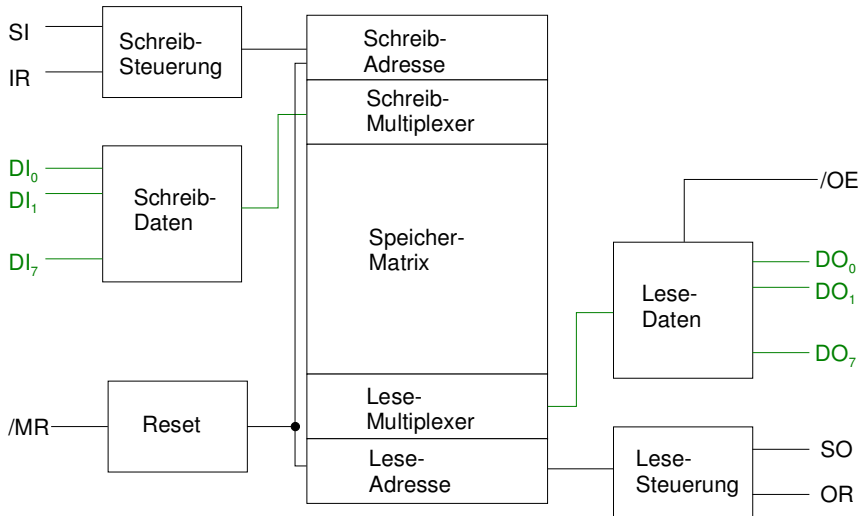


Bild 20 FIFO-Speicher (Dual-Port-Speicher mit 2 Zählern)

Schreib/Lesesignale: SI Shift in SO: Shift Out
 Bereitschaftssignale: IR Input Ready OR Output Ready
 Rücksetzen der Zähler: /MR Master Reset

Inhaltsadressierte Speicher (Assoziativspeicher)

Zusätzlich zu den Daten wird deren Vorkommen (also ihre Adresse) abgespeichert. Die Speicherplätze sind also nicht fortlaufend nummeriert, sondern besitzen individuelle Adressen.

Schreiben: Eintrag von Adresse und Daten in einen freien Speicherplatz

Lesen: Vergleich der angelegten Adresse mit den Adreßeinträgen, bei Übereinstimmung wird der Dateneintrag gelesen

Anwendung: schnelle Zwischenspeicher mit kleinerem Adreßraum als ein Hauptspeicher: „Cache-Speicher“ (s. Abschnitt Prozessoren)